

RFP관리번호	2025-반도체·디스플레이-지정공모-01		공모유형	지정공모형		
해당여부	☒ 국가전략기술 ☐ 탄소중립 ☐ 글로벌 R&D ☐ 미래소재 ☐ 전략연구사업(MPX)예정 ☐ 국방전략기술(예정)					
국책연구기획평가전문분야1	PM분야	반도체·디스플레이	RB분야	반도체 첨단패키징	RB세부분야	-
국책연구기획평가전문분야2	PM분야		RB분야		RB세부분야	
사업명	원천기술개발사업 - 나노·소재 기술 개발 (R&D) - 기반 구축 (팹고도화)					
RFP명	실리콘 브릿지 일괄공정 개발 및 파운드리 서비스 지원 (TRL : [시작] 4 단계 ~ [종료] 6 단계)					
RFP유형코드	사업목적·내용	성과물 특성		지원대상	보안과제 분류	일반
	RF	7	-	1		
1. 추진배경						
○ 최근 반도체 소자 미세화 기술의 한계와 생산비용의 증가, 단일의 최대 반도체 크기 한계에 따른 집적도 제약 발생. 한편, 이를 극복하기 위해 첨단 design rule 소자의 chiplet 화를 통한 수율 향상 등의 접근이 이루어지고 있으며, 다른 design rule 공정으로 개발된 die들의 접합을 통해 비용 감소 및 효율 증대를 이루려 하고 있음. 즉, 이종접합 첨단 패키징 신기술을 개발할 필요가 있음 - 이종접합 첨단 패키징 기술 중 2.5D 실리콘 인터포저 기술의 대면적 한계 및 제작 비용적 단점을 보완하기 위해, Intel, TSMC 등에서는 실리콘 브릿지 기반 첨단 패키지를 개발하고 있음 ○ 국내에서 실리콘 브릿지 기반 첨단 패키지 기술 확보를 위해서는 실리콘 브릿지 다이를 확보해야 하나, 국내에서 조달이 어려움. - 정부 사업으로 실리콘 브릿지를 필요로 하는 인터포저(RDL, Glass) 연구가 활발히 전개되고 있으나, 동작 가능한 실리콘 브릿지 확보에 어려움을 겪고 있으며, 정부지원 R&D로 진행되고 있는 첨단패키징 과제 중 실리콘 브릿지를 직접 제작하거나 파운드리 서비스를 목표로 하는 과제는 없음. ○ 첨단 패키징 핵심역량을 발전시키기 위하여 실리콘 브릿지 제작용 일괄 공정 및 요소 기술을 개발할 필요가 있음. 또, 패키지 기관과의 결합을 위해서도 국내 패키지 기관기업과 OSAT 기업들과의 협력을 통한 산학연 실리콘 브릿지 R&D 파운드리 서비스 개발이 필요함. - 실리콘 브릿지 R&D 파운드리 서비스를 통해 첨단 패키징 R&D에 필수적인 테스트 칩 수요 대응이 상당 부분 가능할 것으로 예상됨. 이는 패키지 기관기업과 OSAT 기업의 첨단 패키징 연구개발을 촉진하는 효과를 가질 것으로 기대.						
< 실리콘 브릿지 기반 첨단 패키지 개념도 >						

2. 연구개발 목표	
○ 최종 목표 : 칩렛 간 연결을 위한 실리콘 브릿지 공정개발 및 파운드리 서비스 제공 ○ 단계별 목표	
1단계('25~'27)	실리콘 브릿지 칩 제작 능력 및 공급 체계 구축
2단계('28~'29)	실리콘 브릿지 칩 제작 능력 고도화, 공급 능력 향상 및 공급 체계 구축
3. 연구 개발 내용 및 성과 목표	
1단계 ('25~'27)	- 실리콘 브릿지 칩 제작용 공정 개발 - Four Cu Metal Layers (Line/Space < 1um) - Cu Post 35um Pitch/ 30um Height - 칩 배선 설계, 전기적 Simulation(신호 및 파워 전달 능력) 및 측정 - Channel 구조 및 배치에 따른 Signal Integrity(SI) 분석을 위한 Simulation - I/O 당 8Gbps의 고속 신호전달 특성을 갖는 Channel 구조 설계 및 평가* (Die Edge Bandwidth Density 291 GB/s/mm, Channel Reach 5 mm 특성을 만족해야 함) * 제작 칩에 대한 실험적 평가/분석 계획 포함 - Channel 구조 및 배치에 따른 Power Integrity(PI) 분석을 위한 Simulation 및 평가 - 실리콘 브릿지 다이 구조에서의 PI 확보를 위한 Channel 구조 설계 및 평가* * 제작 칩에 대한 실험적 평가/분석 계획 포함 - Cu 배선/Bump 포함 실리콘 브릿지 신뢰성 평가 및 분석 1단계는 JEDEC Standard를 참조하여 달성 가능한 수준 자율 제시 (EM수명, TDDDB수명 등) - PDK 및 디자인 가이드 구축 - PDK 등의 설계 가이드 구축 및 배포 - 설계 가이드에 따른 아키텍처 설계 및 Channel 특성 분석을 통해 PI/SI Simulation 확인 - 실리콘 브릿지 제작 R&D 파운드리 서비스 2건 이상 - 실리콘 브릿지 기반 첨단패키징 기술교육 및 보급 - 실리콘 브릿지 연구자 및 사용자를 대상으로 기술교육 실시 및 기술보급을 위한 심포지엄 개최
2단계 ('28~'29)	- 실리콘 브릿지 칩 제작용 공정 고도화 6층 이상 Cu Metal Layers (Line/Space < 1um) - Cu Post 35um Pitch/ 30um Height - 수동소자 결합 등 실리콘 브릿지 신기술 자율 제시 - SI/PI 시뮬레이션 및 평가/분석은 2단계 기술개발 구조에 대하여 1단계와 동일한 방법으로 수행함 - Cu 배선/Bump 포함 실리콘 브릿지 신뢰성 평가 및 분석 - JEDEC Standard를 만족하는 신뢰성 평가기준 적용

- 대표적인 JEDEC Standard 신뢰성 평가기준은 다음과 같음
 - EM수명 10년 이상 ($0.1\text{MA}/\text{cm}^2$, 100°C)
 - TDDB수명 10년 이상 ($0.6\text{MV}/\text{m}$, 100°C)
 - Package 환경시험 JEDEC Level-4 만족
 - 기타 세부 조건은 JEDEC Standard를 따름
- 3. PDK 및 디자인 가이드 구축
 - PDK 등의 설계 가이드 구축 및 배포
 - 설계 가이드에 따른 아키텍처 설계 및 Channel 특성 분석을 통해 PI/SI Simulation 확인
- 4. 실리콘 브릿지 제작 R&D 파운드리 서비스 3건 이상
- 5. 실리콘 브릿지 기반 첨단패키징 기술교육 및 보급
 - 실리콘 브릿지 연구자 및 사용자를 대상으로 기술교육 실시 및 기술보급을 위한 심포지엄 개최

- 1) 본 사업은, 타 첨단 패키징 연구자들에게 부품(Si Bridge Chip)을 제공하는 것을 목적으로 함. 신뢰할 수 있는 부품을 제공하기 위해서는 공정뿐만 아니라, 설계(전기적) 정보 및 신뢰성 검증 결과도 함께 제공되어야 하므로, 과제 신청 기관은 설계 및 신뢰성을 담당할 기관과 컨소시엄 구성 또는 해당 기술의 내재화 방안을 제시하여야 함.
- 2) 향후 산업 생태계로의 발전 가능성 및 후속 첨단 기술을 고려하여, 최소한 6인치 웨이퍼 이상의 제조공정 개발을 하는 것을 조건으로 함.
- 3) GPU-HBM 응용 등의 과제제안자가 제시하는 표준 브릿지 구조를 기본으로 하며, 이후 Custom 브릿지 다이를 (고객이 원하는 브릿지 사양) 제조 공급할 수 있는 능력을 갖추어야 함.
- 4) 신규과제 구축계획과 함께 기존 장비와의 시너지 확보방안을 제시하여야 함.

4. 지원 기간/예산/추진체계

- 연구개발 기간 : '25.4. ~ '29.12. (총 57개월 내외, (3+2) 33개월 + 24개월)
- 정부 지원 연구개발비 : 총 11,800백만원 내외 ('25년 1,800백만 원)

1단계('25.4. ~ '27.12. / 33개월)			2단계('28.1. ~ '29.12. / 24개월)	
1차년도	2차년도	3차년도	4차년도	5차년도
'25.4.~'25.12.	'26.1.~'26.12.	'27.1.~'27.12.	'28.1.~'28.12.	'29.1.~'29.12.
1,800백만원	2,500백만원	2,500백만원	2,500백만원	2,500백만원

※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능

- 선정 과제 수 : 1개 연구개발 과제
- 과제 형태 : (일반) 연구개발 과제
- 주관연구개발기관 : 대학/출연(연)/기업부설연구소 등
- 기술료 징수여부 : 징수

5. 특기사항

- 단계평가 결과에 따라 2단계 계속지원 여부 및 연구개발비 변경(증액 또는 감액)을 결정할 수 있음
- 선정된 연구개발과제는 차세대반도체대응미세기판기술개발사업 내 “R&D 성과지원 플랫폼” 연구과제와 연구활동 연계 필수
 - ※ 연 1회 기술교류회(성과전시 및 성과확산 활동 등)에 참여 필수